

국내 공개특허공보 제2002-83263호(2002.11.02) 1부.

특 2002-0083263

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.
H01L 27/108(11) 공개번호 특2002-0083263
(43) 공개일자 2002년11월02일

(21) 출원번호	10-2001-0022677
(22) 출원일자	2001년04월26일
(71) 출원인	삼성전자 주식회사
(72) 발명자	경기 수원시 팔달구 매탄3동 41번지 장세명 경기도군포시궁내동극동백두아파트961동802호 김기남 경기도안양시동안구평촌동꿈마음라이프아파트108동502호 정홍식 경기도수원시권선구호매실동엘지삼익아파트112동204호 황유상 경기도용인시수지읍풍덕천리삼익아파트103동903호
(74) 대리인	이영필, 정상빈

심사청구 : 있음

(54) 커패시터의 스토리지 전극을 포함하는 반도체 장치 및 그 제조 방법

요약

커패시터의 스토리지 전극을 포함하는 반도체 장치 및 그 제조 방법을 개시한다. 본 발명의 일 관점은, 반도체 기판 상에 비트 라인과 비트 라인을 덮어 보호하는 보호층을 형성한다. 비트 라인을 사이에 보호층의 상측 표면 높이와 대등한 표면 높이를 가지는 도전성 콘택 패드를 형성한다. 도전성 콘택 패드 및 보호층을 덮는 전극 지지층을 형성한다. 전극 지지층 상에 식각 종료층을 형성한다. 식각 종료층 상에 몰드층을 형성한다. 몰드층, 식각 종료층 및 전극 지지층을 패터닝하여 도전성 콘택 패드를 노출하는 오프닝홀(opening hole)을 형성한다. 오프닝홀의 프로파일(profile)을 따라 형상이 부여된 스토리지 전극을 오프닝홀 내에 형성한다. 스토리지 전극에 의해 노출되는 몰드층을 제거하여 식각 종료층 위쪽의 스토리지 전극 부분의 외벽을 노출한다.

도면

도 12

양면서

도면의 주요요 소 설명

도 1은 종래의 스토리지 전극 형성 방법을 설명하기 위해서 개략적으로 도시한 단면도이다.

도 2 내지 도 12는 본 발명의 실시예에 의한 커패시터의 스토리지 전극을 포함하는 반도체 장치 제조 방법을 설명하기 위해서 개략적으로 도시한 도면들이다.

도 13은 본 발명의 실시예에 따라 형성된 스토리지 전극을 보여주는 주사 전자 현미경 사진이다.

도 14는 본 발명의 실시예에 따른 효과를 설명하기 위해서 도시한 스토리지 전극의 기계적 강도 그래프들이다.

<도면의 주요 부분에 대한 간략한 설명>

100: 반도체 기판, 200: 하부 절연층,
250: 도전성 클러그, 300: 비트 라인,
350: 보호층, 400: 용간 절연층,
550: 도전성 콘택 패드, 610: 전극 지지층,
630: 식각 종료층, 650: 몰드층,
670: 오프닝홀, 700: 식각 마스크

BEST AVAILABLE COPY

록 2002-0083263

800: 스토리지 전극.

발명의 상세한 설명**발명의 목적****발명이 속하는 기술분야 및 그 분야의 종래기술**

본 발명은 반도체 장치 및 그 제조 방법에 관한 것으로, 특히, 증가된 유효 표면적(effective surface)을 구현하고 기계적 강도가 증가된 커패시터의 스토리지 전극(storage node) 및 이를 제조하는 방법에 관한 것이다.

DRAM(Dynamic Random Access Memory) 장치와 같은 반도체 장치의 집적도가 높아짐에 따라 패턴 미세화가 급속히 진행되고 있다. 이에 따라, 커패시터의 스토리지 전극의 피치(pitch)가 점점 감소하고 있다. 그럼에도 불구하고, 반도체 소자의 구동을 위하여 요구되는 정전 용량은 소프트 에러(soft error) 등으로 말미암아 디자인 룰(design rule)이 감소되는 비율에 따라 감소되고 있지 않다. 따라서, 커패시터의 정전 용량의 증가시키는 방안이 요구되고 있으며, 이러한 방안의 하나로 실린더(cylinder) 형의 스토리지 전극의 높이를 증가시켜 스토리지 전극의 유효 표면적을 증가시키는 방안이 제시되고 있다.

도 1은 종래의 실린더 형 스토리지 전극을 설명하기 위하여 개략적으로 도시한 단면도이다.

구체적으로, 반도체 기판(10) 상에 비트 라인(bit line:30)을 형성한 후, 이러한 비트 라인(30) 상을 덮는 층간 절연층(40)을 형성한다. 이때, 비트 라인(30)은 층간 절연층(40)을 패터닝하는 공정을 자기 정렬 콘택(SAC:Self Aligned Contact) 공정으로 수행하기 위해서 스페이서(spacer) 및 캐핑층(capping layer)으로 이루어진 보호층(35)으로 덮여 있을 수 있다. 이후에, 층간 절연층(40)을 관통하는 매몰 콘택 패드(Buried Contact pad:50)를 형성한 후, 이러한 매몰 콘택 패드(50)에 전기적으로 연결되는 스토리지 전극(70)이 실린더 형태로 형성한다. 이때, 매몰 콘택 패드(50)는 하부의 도전성 플러그(conductive plug:25)를 통해서 전기적으로 반도체 기판(10)에 연결될 수 있으며, 도전성 플러그(25)는 하부 절연층(20)에 의해서 둘러싸일 수 있다.

이와 같은 스토리지 전극(70)의 바닥 부위는, 스토리지 전극(70)을 형성하는 데 도입되는 몰드층(도시되지 않음)의 제거 시 식각 종료율 위해서 도입되는 식각 종료층(60)에 의해서 측면 방향으로 지지 받게 된다. 그런데, 정전 용량의 확보를 위해서 스토리지 전극(70)의 높이가 크게 높아지면 상대적으로 스토리지 전극(70)의 기계적 강도는 감소하게 된다. 스토리지 전극의 기계적 강도는 대략 스토리지 전극의 높이의 세제곱에 비례하여 감소되는 것으로 알려져 있다.

이러한 스토리지 전극(70)의 기계적 강도의 감소로 인하여 스토리지 전극(70)이 쓰러지거나 기울어지는 불량률이 발생할 수 있다. 이러한 불량에 의해서 스토리지 전극(70)과 인접하는 다른 스토리지 전극 간에 브리지(bridge)가 발생할 수 있다. 이러한 스토리지 전극(70)을 간의 브리지의 발생은 멀티 비트(multi bit) 또는 트윈 비트(twin bit)와 같은 반도체 소자의 오동작을 유발하는 원인으로 작용할 수 있다.

따라서, 스토리지 전극(70)의 높이를 증가시켜 커패시터의 정전 용량을 확보하기 위해서는, 실린더 형태와 같은 3차원 입체 형태의 스토리지 전극(70)의 기계적 강도를 제고하는 방안이 우선적으로 요구되고 있다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는, 커패시터의 스토리지 전극의 기계적 강도를 증가시켜, 스토리지 전극의 쓰러짐 또는 기울어짐을 방지하며 스토리지 전극의 높이를 증가시킬 수 있어 커패시터의 정전 용량의 확보를 구현할 수 있는 반도체 장치 및 그 제조 방법을 제공하는 데 있다.

발명의 구성 및 작용

상기의 기술적 과제를 달성하기 위한 본 발명의 일 관점은, 반도체 기판 상에 비트 라인과 상기 비트 라인을 덮어 보호하는 보호층을 형성한다. 상기 비트 라인을 사이에 상기 보호층의 상측 표면 높이와 대응한 표면 높이를 가지는 도전성 콘택 패드를 형성한다. 상기 도전성 콘택 패드 및 상기 보호층을 덮는 전극 지지층을 형성한다. 상기 전극 지지층 상에 식각 종료층을 형성한다. 상기 식각 종료층 상에 몰드층을 형성한다. 상기 몰드층, 상기 식각 종료층 및 상기 전극 지지층을 패터닝하여 상기 도전성 콘택 패드를 노출하는 오프닝홀을 형성한다. 상기 오프닝홀의 프로파일을 따라 형상이 부여된 스토리지 전극을 상기 오프닝홀 내에 형성한다. 상기 스토리지 전극에 의해 노출되는 상기 몰드층을 제거하여 상기 식각 종료층 외곽의 상기 스토리지 전극 부분의 외벽을 노출한다.

여기서, 상기 도전성 콘택 패드를 형성하는 단계는, 상기 비트 라인을 사이에 매우는 층간 절연층을 형성하고, 다수의 상기 비트 라인을 각각 덮고 있는 다수의 상기 보호층들의 표면과 상기 보호층의 측면 표면들 사이를 노출하도록 상기 층간 절연층을 패터닝하고, 상기 층간 절연층 상에 상기 보호층을 측면 표면들 간의 사이를 매워, 상기 반도체 기판 상에 전기적으로 연결되는 도전층을 형성하고, 상기 보호층의 상측 표면을 노출하도록 상기 도전층 및 상기 층간 절연층을 순차적으로 평탄화하여 수행된다. 이에 따라, 상기 층간 절연층은 상기 도전성 콘택 패드의 마주보는 두 측면을 덮고 있고, 상기 보호층의 측면은 상기 도전성 콘택 패드의 다른 두 측면을 덮고 있게 된다.

상기 전극 지지층은 상기 몰드층의 두께에 비해 대략 20% 내지 40%의 두께로 형성될 수 있다.

상기 몰드층의 제거는 상기 식각 종료층 표면에서 종료된다.

상기의 기술적 과제를 달성하기 위한 본 발명의 다른 관점은, 반도체 기판 상에 형성된 비트 라인과 상기

특 2002-0083263

비트 라인을 덮어 보호하는 보호층과, 상기 비트 라인을 사이에 형성되며 상기 보호층의 상측 표면 높이와 대등한 표면 높이를 가지는 도전성 콘택 패드와, 상기 도전성 콘택 패드에 연결되며 내벽과 외벽이 노출된 스토리지 전극과, 상기 스토리지 전극의 아래 부분을 감싸 지지하는 전극 지지층을 포함하는 스토리지 전극을 포함하는 반도체 장치를 제공한다. 상기 전극 지지층의 두께는 상기 전극 지지층 위쪽에 노출되는 스토리지 전극의 높이에 대해 대략 20% 내지 40%일 수 있다.

본 발명에 따르면, 커패시터의 스토리지 전극의 기계적 강도를 증가시켜, 스토리지 전극의 쓰러짐 또는 기울어짐을 방지하며 스토리지 전극의 높이를 증가시킬 수 있어 커패시터의 정전 용량의 확보를 구현할 수 있다.

이하, 첨부 도면을 참조하여 본 발명의 실시예를 상세히 설명한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들에 의해 한정되어지는 것으로 해석되어서는 안된다. 본 발명의 실시예들은 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것이다. 따라서, 도면에서의 요소의 형상 등은 보다 명확한 설명을 강조하기 위해서 과장되어진 것이며, 도면 상에서 동일한 부호로 표시된 요소는 동일한 요소를 의미한다. 또한, 어떤 층이 다른 층 또는 반도체 기판의 '상'에 있다고 기재되는 경우에, 상기 어떤 층은 상기 다른 층 또는 반도체 기판에 직접 접촉하여 존재할 수 있고, 또는, 그 사이에 제3의 층이 개재되어질 수 있다.

도 2 내지 도 12는 본 발명의 실시예에 의한 커패시터의 스토리지 노드를 포함하는 반도체 장치 제조 방법을 설명하기 위해서 개략적으로 도시한 단면도이다.

도 2는 반도체 기판(100) 상에 비트 라인(300) 및 중간 절연층(400)을 형성하는 단계를 개략적으로 나타내는 단면도이다.

구체적으로, 반도체 기판(100) 상에 알려진 방법을 이용하여 트랜지스터 소자와 같은 능동 소자를 형성한 후, 실리콘 산화물 등의 하부 절연층(200)을 형성한다. 하부 절연층(200)을 패터닝하여 반도체 기판(100)에 전기적으로 연결되는 도전성 플러그(250)를 형성한다. 이러한 도전성 플러그(250)로는 다결정 실리콘층을 이용할 수 있다.

이후에, 하부 절연층(200) 상에 비트 라인(300)을 위한 도전층을 형성한 후, 패터닝하여 비트 라인(300)을 형성한다. 이때, 이러한 비트 라인(300)은 후속적 적용될 SAC 공정을 위해서 그 상측에는 캐핑 절연층을 구비하고 그 측면에는 스페이서를 구비한다. 즉, 이러한 스페이서 및 캐핑 절연층으로 이루어지는 보호층(350)은 비트 라인(300)을 덮어, 후속의 중간 절연층(400)을 패터닝하는 식각 공정에서 비트 라인(300)이 손상되는 것을 방지하는 역할을 한다. 따라서, 보호층(350)은 중간 절연층(400)으로 주로 이용되는 실리콘 산화물과 식각 선택비를 양호하게 갖는 절연 물질, 예컨대, 실리콘 질화물 등으로 형성될 수 있다.

비트 라인(300) 및 보호층(350)을 덮어 절연하는 중간 절연층(400)을 실리콘 산화물 등과 같은 절연 물질을 증착하여 형성한다. 이때, 중간 절연층(400)은 비트 라인(300)을 사이에 충분히 매울 수 있는 두께로 형성된다.

도 3은 중간 절연층(400) 상에 포토레지스트 패턴(450)을 형성하는 단계를 개략적으로 나타내는 평면도이다.

구체적으로, 중간 절연층(400)에 BC 공정을 수행하기 위해서, 중간 절연층(400)에 식각 마스크(etch mask), 예컨대, 포토레지스트 패턴(450)을 형성한다. 이때, 포토레지스트 패턴(450)은, 배열되어 있는 다수의 비트 라인(300)들을 덮는 중간 절연층(400)의 일부분을 밴드(band) 형태로 길게 노출한다. 이와 같이, 포토레지스트 패턴(450)은 후속의 BC가 형성될 부분만의 중간 절연층(400) 부분을 노출하는 것이 아니라, 이러한 BC가 형성될 부분을 포함하여 길게 다수의 비트 라인(300)들을 가로지르며 중간 절연층(400)을 노출한다. 이와 같이 포토레지스트 패턴(450)을 형성하는 것은 BC를 형성할 때 디자인 룰의 감소에 따른 공정 마진(margin)을 보다 더 확보하기 위해서이다.

한편, 도 3에서의 X-X' 절단선은 도 2에 묘사된 단면이 위치하는 부분을 지시하며,

도 4는 중간 절연층(400)을 패터닝하여 비트 라인(300) 사이의 도전성 플러그(250)를 노출하는 단계를 개략적으로 나타낸다.

구체적으로, 도 3에 도시된 바와 같은 포토레지스트 패턴(450)을 식각 마스크로 이용하여 노출된 중간 절연층(400) 부분을 선택적으로 식각한다. 이러한 식각은 비트 라인(300)들 사이의 도전성 플러그(250)들이 노출될 때까지 진행된다. 한편, 비트 라인(300)들을 덮어 보호하고 있는 보호층(350)은 중간 절연층(400)을 이루는 실리콘 산화물 등과 식각 선택비를 충분히 가질 수 있는 실리콘 질화물 등으로 이루어져 있으므로, 이러한 식각에서 식각 마스크 또는 식각 종료점으로 작용할 수 있다. 따라서, 비트 라인(300)이 이러한 식각에 의해서 손상되는 것이 방지되며, 비트 라인(300)들 사이의 하부층, 즉, 도전성 플러그(250)의 표면을 노출하도록 중간 절연층(400)을 패터닝할 수 있다.

이러한 패터닝에 의해서 형성된 중간 절연층 패턴(400')은 도전성 플러그(250)를 노출하는 콘택홀(401)을 가지게 된다. 이러한 콘택홀(401)은 실질적으로 BC 콘택을 위해서 형성된다. 이러한 콘택홀(401)은 마주 보는 양측면은 비트 라인(300)을 보호하는 보호층(350)으로 이루어지고, 다른 양측면은 중간 절연층 패턴(400')으로 이루어지게 된다(도 4에서의 중간 절연층 패턴(400')은 실질적으로 지면 아래 방향에서 보이는 모습을 의미하는 것이 된다). 이러한 점은 이러한 중간 절연층 패턴(400')을 형성하는 패터닝이 발견된 SAC 공정 개념을 가진다는 근거가 된다.

한편, 패터닝에 의해서 형성된 중간 절연층 패턴(400')에 의해서 도전성 플러그(250)들뿐만 아니라, 도전성 플러그(250)에 인접하는 비트 라인(300)을 덮는 보호층(350)의 상면 또는 측면도 노출될 수 있다. 이때, 다수의 비트 라인(300) 상의 보호층(350)들이 노출될 수 있다. 이와 같이 BC 콘택을 위한 콘택홀(401)을 형성함으로써, 콘택홀(401)을 형성하기 위한 공정 마진을 보다 더 확보할 수 있는 효과를 얻을

록 2002-0083263

수 있다.

도 5는 중간 접연층 패턴(400') 상에 도전층(500)을 형성하는 단계를 개략적으로 나타낸다.

구체적으로, 이러한 콘택홀(401)들을 채워 콘택홀(401)에 의해 노출되는 도전성 플러그(250)에 전기적으로 연결되는 도전층(500)을 중간 접연층 패턴(400') 상에 형성한다. 이러한 도전층(500)은 실질적으로 BC 콘택을 위해 준비되는 것으로, 다결정 실리콘 등과 같은 도전성 물질로 형성될 수 있다. 이러한 도전층(500)은 적어도 콘택홀(401)을 충분히 메울 수 있는 높이, 실질적으로는 중간 접연층 패턴(400') 이상의 높이를 가지도록 형성될 수 있다.

도 6은 도전층(500)을 패터닝하여 비트 라인(300) 사이에 도전성 콘택 패드(550)을 형성하는 단계를 개략적으로 나타낸다.

구체적으로, 도전층(500)을 에치 백(etch back) 또는 화학적 기계적 연마(CMP: Chemical Mechanical Polishing) 등으로 평탄화하여 도전성 콘택 패드(550)을 형성한다. 이때, 도전성 콘택 패드(550)의 표면이 비트 라인(300)의 상측에 위치하는 보호층(350)의 표면과 대등하도록 상가한 평탄화를 진행한다. 즉, 보호층(350)의 표면을 CMP 연마의 연마 종료점으로 하여 도전층(500) 및 도전층(500) 하부에 위치하는 중간 접연층 패턴(400')의 일부 두께를 연마한다. 이러한 평탄화에 의해서 실질적으로 도전성 콘택 패드(550)의 상측 표면과 보호층(350)의 상측 표면 및 중간 접연층 패턴(400')의 상측 표면은 대등한 높이를 가지게 된다.

도 7은 노출된 도전성 콘택 패드(550) 및 보호층(350) 상에 몰드층(mold layer: 650)을 형성하는 단계를 개략적으로 나타낸다.

구체적으로, 도전성 콘택 패드(550) 및 보호층(350), 그리고, 이러한 도전성 콘택 패드(550)의 마주보는 두 측면을 이루는 중간 접연층 패턴(도 7에서 도시되지 못한)을 덮는 전극 지지층(610)을 형성한다. 이러한 전극 지지층(610)은 후속해 도전성 콘택 패드(550)에 전기적으로 연결되는 스토리지 전극의 바닥 부위를 감싸 지지하는 역할을 한다. 따라서, 전극 지지층(610)은 스토리지 전극에 충분한 기계적 강도를 부여할 수 있을 정도의 두께로 형성되는 것이 바람직하다. 이때, 전극 지지층(610)의 두께는 스토리지 전극의 높이에 따라 변화될 수 있으나, 스토리지 전극 높이의 20% 내지 40% 정도의 두께로 형성될 수 있다. 예를 들어, 전극 지지층(610)의 두께(t)를 대략 5000 Å 정도로 형성한다.

이러한 전극 지지층(610)은 접연 물질로 형성되는 것이 바람직하며, 실리콘 산화물 등으로 형성될 수 있다. 예를 들어, TEOS(TetraEthylOrthoSilicate)를 PE-CVD(Plasma Enhanced Chemical Vapor Deposition)로 증착하여 전극 지지층(610)을 형성할 수 있다.

전극 지지층(610)을 형성한 이후에, 전극 지지층(610) 상에 식각 종료층(630)을 형성한다. 식각 종료층(630)은 후속해 형성될 몰드층(650)을 패터닝할 때 식각 종료점으로 이용되므로, 몰드층(650)을 이루는 물질과 식각 선택비를 가질 수 있는 물질, 예컨대, 실리콘 질화물 등으로 형성될 수 있다.

식각 종료층(630) 상에 몰드층(650)을 형성한다. 몰드층(650)은 스토리지 전극에 3차원 입체 형상을 부여하기 위해서 도입되는 것으로, 스토리지 전극 형성 후 제거되는 희생층이다. 따라서, 몰드층(650)의 요구되는 스토리지 전극 높이에 따라 그 두께(h)가 설정된다. 예를 들어, 몰드층(650)을 대략 12000 Å 정도의 두께로 형성한다. 이때, 몰드층(650)은 PE-TEOS층으로 형성될 수 있다.

몰드층(650) 상에 몰드층(650)을 패터닝하기 위한 식각 마스크(700)를 형성한다. 이러한 식각 마스크(700)는 다결정 실리콘과 같이 몰드층(650)을 이루는 물질과 높은 식각 선택비를 구현할 수 있는 물질로 형성되는 것이 바람직하다.

도 8은 몰드층(650)을 패터닝하여 오픈홀(opening hole: 670)을 형성하는 단계를 개략적으로 나타낸다.

구체적으로, 식각 마스크(700)에 의해서 노출되는 몰드층(650) 부분을 식각하여 몰드층(650)에 오픈홀(670)을 형성한다. 이때, 몰드층(650)이 실리콘 산화물 등으로 형성될 경우, RIE(Reactive Ion Etcher) 등과 같은 실리콘 산화물을 건식 식각하는 방법으로 오픈홀(670)이 형성될 수 있다. 이때, 이러한 식각한 식각에 의해서 몰드층(650) 하부의 식각 종료층(630)이 노출될 수 있다. 즉, 식각 종료층(630) 상에서 이러한 식각이 1차 종료될 수 있다.

도 9는 몰드층(650)을 패터닝한 후 계속하여 식각 종료층(630) 및 하부의 전극 지지층(610)을 식각하여 오픈홀(670)이 도전성 콘택 패드(550)를 노출하도록 유도하는 단계를 개략적으로 나타낸다.

구체적으로, 식각 종료층(630)이 노출된 후 식각을 계속 진행하여 노출된 식각 종료층(630) 및 하부의 전극 지지층(610)을 계속하여 식각한다. 이러한 계속 진행되는 식각에 의해서 오픈홀(670)은 하부의 도전성 콘택 패드(550)의 표면을 노출하게 된다. 이와 같이 계속하여 진행되는 식각은 도전성 콘택 패드(550)을 노출하기까지 타임 식각(tine etch)으로 진행될 수 있다.

이와 같은 식각에 의해서 오픈홀(670)을 가지며, 몰드층(650), 식각 종료층(630) 및 전극 지지층(610)으로 이루어지는 몰드가 이루어진다.

도 10은 오픈홀(670) 내에 스토리지 전극(800)을 형성하는 단계를 개략적으로 나타낸다.

구체적으로, 오픈홀(670)의 프로파일을 따라 형상이 부여되는 스토리지 전극층을 증착한다. 이러한 스토리지 전극층은 다양한 도전 물질로 형성될 수 있다. 예컨대, 스토리지 전극층은 도전성의 다결정 실리콘으로 이루어질 수 있다.

이후에, 스토리지 전극층을 에치 백 또는 CMP하여 스토리지 전극(800)으로 분리한다. 이러한 에치 백 또는 CMP는 스토리지 전극층을 하부의 식각 마스크(700)가 노출될 때까지 진행되며 스토리지 전극(800)으로 스토리지 전극층을 분리한다. 스토리지 전극(800)은 스토리지 전극층이 오픈홀(670)의 프로파일을 따라 증착되었으므로, 3차원의 입체 구조를 가지게 된다.

록 2002-0083263

도 11은 식각 마스크(700)를 제거하는 단계를 개략적으로 나타낸다.

구체적으로, 스토리지 전극(800)에 의해서 노출되는 식각 마스크(700)를 리프트 오프(lift off) 등으로 제거한다.

도 12는 몰드층(650)을 제거하여 스토리지 전극(800)의 외벽 부분을 노출하는 단계를 개략적으로 나타낸다.

구체적으로, 몰드층(650)을 HF 등을 포함하는 에천트(etchant)를 이용한 습식 식각 등으로 선택적으로 제거한다. 이러한 식각은 식각 종료층(630)에 의해서 종료됨으로써, 몰드층(650)이 선택적으로 제거된다. 이에 따라, 스토리지 전극(800)의 외벽이 노출되게 된다.

이때, 식각 종료층(630)의 하부에 위치하는 전극 지지층(610)은, 이러한 식각에 침식되지 않고 계속하여 스토리지 전극(800)의 바닥 부분을 감싸고 있게 된다. 이와 같이 전극 지지층(610)이 스토리지 전극(800)의 바닥 부분을 감싸고 있으므로, 스토리지 전극(800)의 기계적 강도를 확보해 주게 된다. 이에 따라, 스토리지 전극(800)의 높이가 높아지더라도 스토리지 전극(800)이 쓰러지거나 기울어지는 것을 방지할 수 있다. 이에 따라, 스토리지 전극(800) 간의 브리지 현상을 방지할 수 있고, 멀티 비트 및 트윈 비트 용량을 방지할 수 있다. 또한, 스토리지 전극(800)의 표면적으로 증가시킬 수 있으므로, 커패시터의 정전 용량을 증가시킬 수 있다. 더욱이, 전극 지지층(610)에 의해 감싸진 스토리지 전극(800) 부분의 내벽 또한, 커패시터의 유효 표면적에 기여할 수 있다. 따라서, 실질적으로 커패시터의 정전 용량을 보다 더 확보할 수 있다.

도 13은 본 발명의 실시예에 의해 제조된 스토리지 전극을 보여주는 주사 전자 현미경(SEM) 사진이다.

도 13에서 보여지는 바와 같이, 본 발명의 실시예에 의해 제조된 스토리지 전극들은 쓰러짐이나 기울어지는 현상이 나타나지 않는다. 이때, 전극 지지층은 대략 5000Å의 두께를 적용하였으며, 전극 지지층 위쪽의 스토리지 전극의 높이는 대략 12000Å이다.

도 14는 본 발명의 실시예를 따라 제조된 스토리지 전극 간의 기계적 강도 차이를 설명하기 위해서 도시한 그래프이다.

도 14를 참조하면, 셀 정전 용량을 25fF으로 유지할 경우에 본 발명의 실시예를 따르는 스토리지 전극에 대한 기계적 강도의 그래프(145)가, 종래의 방법에 의해 준비된 스토리지 전극에 대한 기계적 강도의 그래프(141)에 비해 매우 높은 값을 보여주고 있다. 이는, 일정한 기계적 강도를 기준으로 볼 때, 본 발명에 따른 스토리지 전극을 적용한 경우 매우 높은 셀 정전 용량을 구현할 수 있음을 입증한다. 따라서, 이러한 그래프들은 본 발명의 실시예에 의한 스토리지 전극을 이용하여 커패시터를 형성함으로써 정전 용량을 크게 확보할 수 있음을 입증한다.

이상, 본 발명을 구체적인 실시예를 통하여 상세히 설명하였으나, 본 발명은 이에 한정되지 않고, 본 발명의 기술적 사상 내에서 당 분야의 통상의 지식을 가진 자에 의해 그 변형이나 개량이 가능함이 명백하다.

본 발명의 효과

상술한 본 발명에 따르면, 스토리지 전극의 기계적 강도를 증가시킴으로써 스토리지 전극의 유효 표면적을 증가시킬 수 있어, 커패시터의 정전 용량의 증대를 구현할 수 있다.

(5) 청구의 범위

청구항 1

반도체 기판 상에 비트 라인과 상기 비트 라인을 덮어 보호하는 보호층을 형성하는 단계;

상기 비트 라인과 사이에 상기 보호층의 상측 표면 높이와 대응한 표면 높이를 가지는 도전성 콘택 패드를 형성하는 단계;

상기 도전성 콘택 패드 및 상기 보호층을 덮는 전극 지지층을 형성하는 단계;

상기 전극 지지층 상에 식각 종료층을 형성하는 단계;

상기 식각 종료층 상에 몰드층을 형성하는 단계;

상기 몰드층, 상기 식각 종료층 및 상기 전극 지지층을 패터닝하여 상기 도전성 콘택 패드를 노출하는 오프닝홀을 형성하는 단계;

상기 오프닝홀의 프로파일을 따라 형상이 부여된 스토리지 전극을 상기 오프닝홀 내에 형성하는 단계; 및

상기 스토리지 전극에 의해 노출되는 상기 몰드층을 제거하여 상기 식각 종료층 위쪽의 상기 스토리지 전극 부분의 외벽을 노출하는 단계를 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 2

제 1항에 있어서, 상기 도전성 콘택 패드를 형성하는 단계는

상기 비트 라인과 사이를 매우는 중간 접연층을 형성하는 단계;

다수의 상기 비트 라인들을 각각 덮고 있는 다수의 상기 보호층들의 표면과 상기 보호층의 측면 표면을 사이를 노출하도록 상기 중간 접연층을 패터닝하는 단계;

상기 중간 접연층 상에 상기 보호층을 측면 표면들 간의 사이를 매워 상기 반도체 기판 상에 전기적으로

특 2002-0083263

연결되는 도전층을 형성하는 단계; 및

상기 보호층의 상측 표면을 노출하도록 상기 도전층 및 상기 층간 절연층을 순차적으로 평탄화하는 단계를 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 3

제2항에 있어서, 상기 층간 절연층은

상기 도전성 콘택 패드의 마주보는 두 측면을 덮고 있고

상기 보호층의 측벽은 상기 도전성 콘택 패드의 다른 두 측면을 덮고 있는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 4

제2항에 있어서, 상기 평탄화하는 단계는

에치 백 또는 화학적 기계적 연마로 수행되는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 5

제1항에 있어서, 상기 전극 지지층은

실리콘 산화물로 형성되는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 6

제1항에 있어서, 상기 전극 지지층은

상기 몰드층의 두께에 비해 대략 20% 내지 40%의 두께로 형성되는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 7

제1항에 있어서, 상기 몰드층의 제거는

상기 식각 종료층 표면에서 종료되는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 8

반도체 기판 상에 형성된 비트 라인과 상기 비트 라인을 덮어 보호하는 보호층;

상기 비트 라인을 사이에 형성되며 상기 보호층과 상측 표면 높이와 대등한 표면 높이를 가지는 도전성 콘택 패드;

상기 도전성 콘택 패드에 연결되며 내벽과 외벽이 노출된 스토리지 전극; 및

상기 스토리지 전극의 아래 부분을 감싸 지지하는 전극 지지층을 포함하는 것을 특징으로 하는 반도체 장치.

청구항 9

제8항에 있어서, 상기 전극 지지층의 두께는

상기 전극 지지층 위쪽에 노출되는 스토리지 전극의 높이에 대해 대략 20% 내지 40%인 것을 특징으로 하는 반도체 장치.

청구항 10

제8항에 있어서, 상기 전극 지지층은

실리콘 산화물층인 것을 특징으로 하는 반도체 장치.

도면

2002-0083263

FIG 1

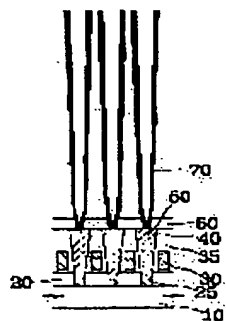


FIG 2



FIG 3

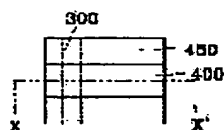


FIG 4

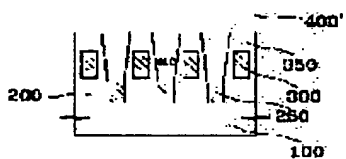
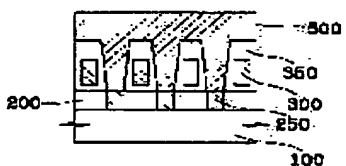


FIG 5



2002-0083263

FIG 6

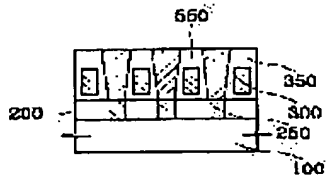


FIG 7

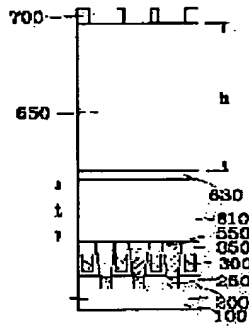
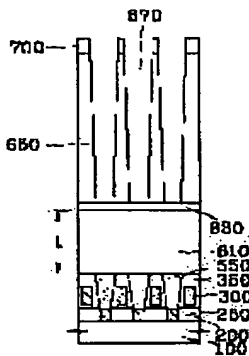
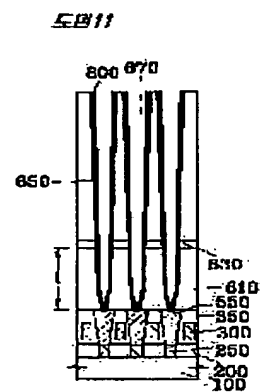
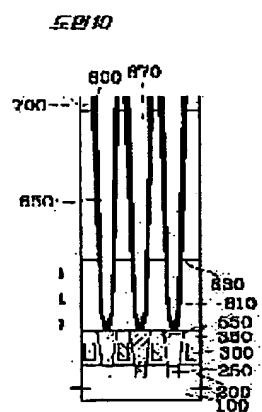
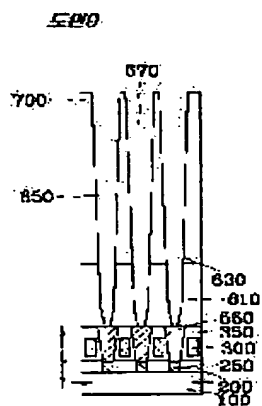


FIG 8

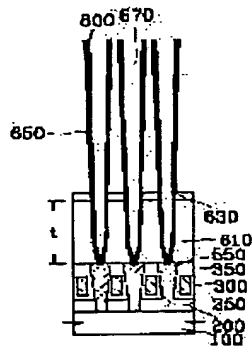


2002-0083263



북 2002-0083263

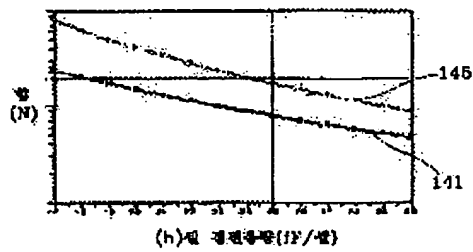
도면 12



도면 13



도면 14



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.